

발송번호: 9-5-2005-053548725
 발송일자: 2005.10.26
 제출기일: 2005.12.26

수신 서울시 강남구 역삼동 677-25 큰길타워9층
 (한양특허법인)
 한양특허법인[김연수]

135-914

특 허 청 의견제출통지서

출 원 인 명 칭 마쯔시다전기상교 가부시키가이샤 (출원인코드: 519980650737)
 주 소 일본국 오사카후 가도마시 오아자 가도마 1006반지
 대 리 인 명 칭 한양특허법인
 주 소 서울시 강남구 역삼동 677-25 큰길타워9층(한양특허법인)
 지정된변리사 김연수

출 원 번 호 10-2004-0003311 *Application No.*
 발 명 의 명 칭 고체 활상 장치와 그 제조 방법 및 인터라인 전송형 CCD
 이미지 센서

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법 시행규칙 별지 제25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다.(상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 제1항~25항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

[아래]

본원의 상기 청구항에 기재된 발명은 고체활상장치와 그 제조방법 및 인터라인 전송형 CCD 이미지센서에 있어서 포토다이오드로부터 전송트랜지스터까지의 전위가 매끄럽게 변화하도록 형성된 전위평활화 수단을 포함하여 전원전압이 낮아도 포토다이오우드에 축적된 신호전하를 완전전송할 수 있도록 함에 그 특징이 있으나, 이는 한국공개특허공보 2002-88881호(2002.11.29, 이하 인용발명이라 함)의 포토다이오우드에 집전된 전하를 플로팅 확산영역으로 전달하는 트랜스퍼 트랜지스터를 구비하는 CMOS 이미지센서에 있어서 트랜지스터의 게이트전극 하부의 반도체기관 내에 형성되고 포토다이오우드 및 플로팅 확산영역과 각각 이격된 p형 불순물영역을 포함하여 누설전류를 줄인 편치전압과 포토다이오우드의 집전량을 증가시킬 수 있는 씨모스 이미지센서 및 그 제조방법과 목적, 효과 및 구성이 유사하므로 이 발명이 속하는 기술분야에서 통상의 지식을 가진자라면, 상기 인용발명로부터 본원발명을 용이하게 발명할 수 있습니다.



[첨 부]

첨부1 공개특허 제2002-88881호(2002.11.29) 1부. 끝.

Reference Cited.

2005.10.26 Mailing Date.

특허청

전기전자심사국
전자소자심사담당관실

심사관

나광표



<< 안내 >>

영세서 또는 도면 등의 보정서를 전자문서로 제출할 경우 매건 3,000원, 서면으로 제출할 경우 매건 13,000원의 보정료를 납부하여야 합니다.

보정료는 접수번호를 부여받아 이를 납부자번호로 "특허법·실용신안법·디자인보호법및상표법에 의한 특허료 등록료와 수수료의 징수규칙" 별지 제1호서식에 기재하여, 접수번호를 부여받은 날의 다음 날까지 납부하여야 합니다. 다만, 납부일이 공휴일(토요일·무요일을 포함한다)에 해당하는 경우에는 그날 이후의 첫 번째 근무일까지 납부하여야 합니다.

보정료는 국고수납은행(대부분의 시중은행)에 납부하거나, 인터넷지로(www.giro.go.kr)로 납부할 수 있습니다. 다만, 보정서를 우편으로 제출하는 경우에는 보정료에 상응하는 용상환을 동봉하여 제출하시면 특허청에서 납부해드립니다.

문의사항이 있으시면 ☎042)481-5970로 문의하시기 바랍니다.

서식 또는 절차에 대하여는 특허고객 콜센터(☎1544-8080)로 문의하시기 바랍니다.

특 2002-0088881

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.
H01L 27/146(11) 공개번호 특2002-0088881
(43) 공개일자 2002년11월29일

(21) 출원번호 10-2001-0027923
(22) 출원일자 2001년05월22일
(71) 출원인 주식회사 하이닉스반도체
(72) 발명자 경기 이천시 부평을 마미리 산136-1
심진섭
충청북도청주시동학구북대1동대원아파트105-1002
(74) 대리인 특허법인 신성

심사청구 : 있음(54) 전치전압과 포토다이오드의 접전압을 증가시킬 수 있는 씨모스 이미지 센서 및 그 제조 방법요약

본 발명은 트랜스퍼 트랜지스터의 편치스루 전압을 증가시키고, 트랜스퍼 트랜지스터의 오프시 포토다이오드와 플로팅 확산영역간의 전위장벽을 증가시켜 포토다이오드의 접전압을 증대시킬 있으며 자기정렬 이온주입 공정에 의하지 않고 포토다이오드를 형성할 수 있는 CMOS 이미지 센서 및 그 제조 방법에 관한 것으로, 트랜스퍼 트랜지스터 게이트 전극 하부의 반도체 기판 내에 p형 불순물 영역을 구비하는 CMOS 이미지 센서 및 그 제조 방법을 제공한다. 본 발명에 따라 자기정렬에 제한 받지 않고 공정을 진행할 수 있어 공정 변화가 억제될 수 있다. 또한, 트랜스퍼 트랜지스터 게이트 전극 하부의 반도체 기판 내에 p형 불순물 영역을 구비함으로써 포토다이오드와 플로팅 확산영역 간의 전위장벽을 증가시켜 즉, 두 영역간의 전위차가 증가되어 포토다이오드 안에 담을 수 있는 전하저장능력이 증가한다.

도표도도3d제2도

CMOS, 이미지 센서, 전위장벽, 편치전압, 포토다이오드, 접전압, 불순물 영역

제1도도면의 간단한 설명

도 1은 종래 기술에 따른 CMOS 이미지 센서의 단위화소 구조를 개략적으로 보이는 회로도.

도 2a 내지 도 2c는 종래 기술에 따른 이미지 센서의 트랜스퍼 트랜지스터, 포토다이오드 및 플로팅 확산영역 형성 공정 단면도.

도 3a 내지 도 3d는 본 발명의 실시예에 따른 이미지 센서의 트랜스퍼 트랜지스터, 포토다이오드 및 플로팅 확산영역 형성 공정 단면도.

도 4는 종래 기술과 본 발명에 따른 이미지 센서의 전위 변화에 대한 시뮬레이션 결과를 비교하여 보이는 그래프.

도면의 주요부분에 대한 도면 부호의 설명

32: 포토다이오드의 n형 불순물 영역

33: p형 불순물 영역

37: 포토다이오드의 p형 불순물 영역

38: 플로팅 확산영역

발명의 상세한 설명**발명의 목적****본 발명이 속하는 기술분야 및 그 분야의 종래기술**

본 발명은 CMOS 이미지 센서(image sensor) 제조 분야에 관한 것으로, 특히, 전치전압과 포토다이오드의 전치전압을 증가시킬 수 있는 CMOS 이미지 센서 및 그 제조 방법에 관한 것이다.

CMOS 이미지 센서는 CMOS 제조 기술을 이용하여 광학적 이미지를 전기적신호로 변환시키는 소자로서, 빛에 반응하여 생성된 신호전자를 전압으로 변환하고 신호처리 과정을 거쳐 화상정보를 재현한다. CMOS 이미지 센서는 각종 카메라, 의료장비, 감시용 카메라, 위치확인 및 감지용, 위한 각종 산업 장비, 장난감 등 화상신호를 재현하는 모든 분야에 이용 가능하며, 저전압 구동과 단일칩화가 가능하여 점점 활용범위가 확대되고 있는 추세이다. CMOS 이미지 센서는 화소수 만큼 MOS트랜지스터를 만들고 이것을 이용하여 차라치레 출력력을 제공하는 스위칭 방식을 채용하고 있다. CMOS 이미지 센서는, 종래 이미지센서로 널리 사용되고 있는 CCD 이미지 센서에 비하여 구동 방식이 간편하고 다양한 스캐닝 방식의 구현이 가능하며, 신호처리 회로를 단일칩에 장착할 수 있어 제품의 소형화가 가능할 뿐만 아니라, 호환성의 CMOS 기술을 사용하여 제조 단가를 낮출 수 있고, 전력 소모 또한 크게 낮다는 장점을 지니고 있다.

도 1은 4개의 트랜지스터와 2개의 캐패시터스 구조로 이루어지는 CMOS 이미지센서의 단위화소를 보이는 회로도로서, 광감지 수단인 포토다이오드(PD)와 4개의 NMOS 트랜지스터로 구성된 CMOS 이미지센서의 단위화소를 보이고 있다. 4개의 NMOS 트랜지스터 중 트랜스퍼 트랜지스터(Tx)는 포토다이오드(PD)에서 생성된 광전하를 플로팅 확산영역으로 운송하는 역할을 하고, 리셋 트랜지스터(Rx)는 신호광출을 위해 상기 플로팅 확산영역에 저장되어 있는 전하를 배출하는 역할을 하고, 드라이브 트랜지스터(Dx)는 소스폴로워(Source Follower)로서 역할하며, 셀렉트 트랜지스터(Sx)는 스위칭(Switching) 및 어드레싱(Addressing)을 위한 것이다. 도면에서 'C'는 플로팅 확산영역이 갖는 캐패시터스, 'Cp'는 포토다이오드가 갖는 캐패시터스를 각각 나타낸다. 이와 같이 구성된 이미지센서 단위화소에 대한 동작은 다음과 같이 이루어진다. 처음에는 리셋 트랜지스터(Rx), 트랜스퍼 트랜지스터(Tx) 및 셀렉트 트랜지스터(Sx)를 온(on)시켜 단위화소를 리셋시킨다. 이때 포토다이오드(PD)는 공핍되기 시작하며 캐패시터스 Cp는 전하충적(charge charging)이 발생하고, 플로팅 확산영역의 캐패시터스 C는 공급전압(VDD)까지 전하충적된다. 그리고 트랜스퍼 트랜지스터(Tx)를 오프시키고 셀렉트 트랜지스터(Sx)를 온시킨 다음 리셋 트랜지스터(Rx)를 오프시킨다. 이와 같은 동작 상태에서 단위화소 출력단(Out)으로부터 출력전압 'V1'을 읽어 버퍼에 저장시키고 난 후, 트랜스퍼 트랜지스터(Tx)를 온시켜 빛의 세기에 따라 변화된 캐패시터스 Cp의 캐리어를 캐패시터스 C로 이동시킨 다음, 다시 출력단(Out)에서 출력전압 'V2'를 읽어들이 두 출력전압간의 차(V1 - V2)에 대한 아날로그 데이터를 디지털 데이터로 변경시키므로 단위화소에 대한 한 동작주기가 완료된다.

이하, 도 2a 내지 도 2c를 참조하여 종래 기술에 따른 CMOS 이미지 센서 단위 픽셀의 트랜스퍼 트랜지스터, 포토다이오드 및 플로팅 확산영역의 제조 방법을 설명한다.

먼저 도 2a에 도시한 바와 같이, 소자분리막(21) 형성이 완료된 p형 반도체 기판(20) 상에 게이트 절연막(22) 및 게이트 전극(23)을 형성하고, 게이트 전극(23) 일단의 상기 반도체 기판(20) 내에 포토다이오드(PD)를 이룰 n형 불순물 영역(24)을 형성한다.

다음으로 도 2b에 보이는 바와 같이, 게이트 전극(23) 측벽에 절연막 스페이서(25)를 형성하고, 상기 n형 불순물 영역(24) 상에 p형 불순물 영역(26)을 형성하여 포토다이오드 형성 공정을 완료한다. 이후, 플로팅 확산영역을 형성하기 위한 이온주입 마스크로서 포토레지스트 패턴(PR)을 형성하고, n형 불순물 이온주입 공정을 실시하여 플로팅 확산영역(27)을 형성한다. 이어서 도 2c에 도시한 바와 같이, 포토레지스트 패턴(PR)을 제거한다.

전술한 바와 같이 이루어지는 종래 CMOS 이미지 센서 제조 공정에서는, 게이트 전극(23) 형성 후 게이트 전극(23)을 이용한 자기정렬(self align) 이온주입 공정으로 포토다이오드의 n형 불순물 영역(24)을 형성한다. 또한, 포토다이오드에서 플로팅 확산영역으로 전하를 이동시키기 위한 트랜스퍼 트랜지스터는 전압 강하가 일어나지 않도록 문턱전압이 0 V 이하로 조절된 트랜지스터 즉, 네이티브 NMOS 트랜지스터(native NMOS transistor)로 이루어지는데, 트랜스퍼 트랜지스터(Tx)의 하층 구조는 단순히 p형 에피택셜층(epitaxial layer)으로 되어있다.層的 크기가 작아질수록 트랜스퍼 트랜지스터의 채널 길이(channel length)가 짧아지므로 상대적으로 낮은 전압에서도 펀치스루(punch through)가 일어나 누설의 원인이 될 수 있다. 또한, 트랜스퍼 트랜지스터가 오프(off)되었을 경우 포토다이오드와 플로팅 확산영역 간의 전위 장벽(potential barrier)이 낮아져 전하 정적(charge integration) 시간 동안 포토다이오드의 전하 전압이 감소되는 단점이 있다. 또한, 설계상 포토다이오드 영역을 자기정렬(self align)하지 않고 진행시 공정 변화(variation) 문제도 야기될 수 있다.

본 발명이 이루고자 하는 기술적 과제

상기와 같은 문제점을 해결하기 위한 본 발명은 트랜스퍼 트랜지스터의 전치스루 전압을 증가시키고, 트랜스퍼 트랜지스터의 오프시 포토다이오드와 플로팅 확산영역간의 전위장벽을 증가시켜 포토다이오드의 전치전압을 증가시킬 수 있으며 자기정렬 이온주입 공정에 의하지 않고 포토다이오드를 형성할 수 있는 CMOS 이미지 센서 및 그 제조 방법을 제공하는데 목적이 있다.

특 2002-0088881

도 4는 종래 기술과 본 발명에 따른 이미지 센서의 전위 변화에 대한 시뮬레이션 결과를 비교하여 보이며, 그래프로서 전위 분포에서 선과 선 사이의 전위차는 0.1 V이다. 종래 기술에 따른 이미지 센서(A)의 경우에는 포토다이오드와 클로팅 확산영역간의 전위차가 1.2 V인데 반하여, 본 발명에 따른 트랜스퍼 트랜지스터 영역의 상리본 기판에 p형 불순물 영역을 구비하는 이미지 센서(B)의 경우에는 포토다이오드와 클로팅 확산영역간의 전위차가 1.8 V로 증가된다.

공정 변화(variation)는 포토다이오드 영역의 공정 오차 허용정도(tolerance)인 0.1 μm 에서, 종래 기술에 따른 이미지 센서의 경우 포토다이오드와 클로팅 확산영역 간의 최대 전위장벽이 1.4 V이고, 최소 전위장벽은 0.9 V로서 두 전위차가 0.5 V이다. 본 발명에 따른 이미지 센서의 경우 최대 전위장벽은 2.1 V이고 최소 전위장벽은 1.8 V로서 두 전위차가 0.3 V가 되어 최대 전위장벽과 최소 전위장벽 같은 모두 증가하면서 그 차이가 많이 감소된다. 따라서, 종래와 같이 자기정렬 방법에 의하여 포토다이오드를 형성하는 경우보다 포토다이오드의 특성이 상대적으로 향상됨을 알 수 있다. 즉, p형 불순물 영역(33)을 형성하지 않고 상기 포토다이오드의 n형 불순물 영역(32)을 자기정렬 방법에 의하여 형성된 경우보다 공정 오차 허용정도가 0.1 μm 이기 때문에 전위장벽 변화가 최대 0.5 V가 되므로 각 픽셀에 대한 화소전압 차이가 현격하게 전체적인 감도특성을 좋게 하기가 힘들어진다. 그러나, 본 발명과 같이 p형 불순물 영역(33)을 형성할 경우 최대 전위장벽과 최소 전위장벽의 차이가 0.3 V로 감소하여 공정 변화에 대한 의존성이 감소된다고 할 수 있다. 따라서, 자기정렬 공정에 의한 n형 불순물 영역(32) 형성의 경우와 유사하게 전위장벽차이를 유지하면서 편차부주 전압과 포화전압을 증가시킬 수 있다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

효율의 효과

상기와 같이 이루어지는 본 발명은 자기정렬에 의하여 포토다이오드의 n형 불순물 영역을 형성할 수 있어 미온주인 공정시 공정 변화를 감소시킬 수 있다. 즉, 종래 포토다이오드의 n형 불순물 영역을 형성하기 위해 200 eV 이상의 에너지로 미온을 주입하는 경우 발생하는 채널링의 문제점을 트랜스퍼 트랜지스터 게이트 전극 하부의 반도체 기판 내에 p형 불순물 영역을 형성함으로써 해결할 수 있다. 또한, 트랜스퍼 트랜지스터의 채널 길이가 감소하여도 포토다이오드와 클로팅 확산영역 간의 전치전압을 강화시켜 누설전류를 줄일 수 있으며, 포토다이오드와 클로팅 확산영역 간의 전위장벽을 높여 포토다이오드의 집전량을 증가시킬 수 있다.

(5) 청구의 범위

청구항 1

포토다이오드에 집전된 전하를 클로팅 확산영역으로 전달하는 트랜스퍼 트랜지스터를 구비하는 CMOS 이미지 센서에 있어서,

반도체 기판;

상기 반도체 기판 상에 형성된 상기 트랜지스터 트랜지스터의 게이트 전극;

상기 게이트 전극 일단의 상기 반도체 기판 내에 형성된 제1 도전형의 제1 불순물 영역 및 제2 도전형의 제2 불순물 영역으로 이루어지는 포토다이오드;

상기 게이트 전극 타단의 상기 반도체 기판 내에 형성된 제2 도전형의 제3 불순물 영역으로 이루어지는 클로팅 확산영역; 및

상기 게이트 전극 하부의 상기 반도체 기판 내에 형성되어 상기 포토다이오드 및 상기 클로팅 확산영역과 각각 이격된 제1 도전형의 제4 불순물 영역

을 포함하는 CMOS 이미지 센서.

청구항 2

제 1 항에 있어서,

상기 제4 불순물 영역과 상기 포토다이오드 간의 거리는,

상기 제4 불순물 영역과 상기 클로팅 확산영역 간의 거리보다 상대적으로 먼 것을 특징으로 하는 CMOS 이미지 센서.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 제1 도전형은 p형이고,

상기 제2 도전형은 n형인 것을 특징으로 하는 CMOS 이미지 센서.

특 2002-0086881

청구항 4

포토다이오드에 집적된 전하를 플로팅 확산영역으로 전달하는 트랜스퍼 트랜지스터를 구비하는 CMOS 이미지 센서 제조 방법에 있어서,

포토다이오드 형성 영역의 반도체 기판 내에 제1 도전형의 제1 불순물 영역을 형성하는 단계;

트랜스퍼 트랜지스터 영역의 상기 반도체 기판 내에 제2 도전형의 제2 불순물 영역을 형성하는 단계;

상기 반도체 기판 상에 트랜스퍼 트랜지스터의 게이트 절연막 및 게이트 전극을 형성하되, 상기 게이트 전극의 일부가 상기 제2 불순물 영역과 중첩되도록 하는 단계;

상기 제1 불순물 영역 상의 상기 반도체 기판 내에 제2 도전형의 제3 불순물 영역을 형성하는 단계; 및

상기 게이트 전극을 사이에 두고 상기 포토다이오드 영역으로부터 이격된 상기 반도체 기판 내에 제1 도전형의 플로팅 확산영역을 형성하는 단계

를 포함하는 CMOS 이미지 센서 제조 방법.

청구항 5

포토다이오드에 집적된 전하를 플로팅 확산영역으로 전달하는 트랜스퍼 트랜지스터를 구비하는 CMOS 이미지 센서 제조 방법에 있어서,

반도체 기판 상에 포토다이오드 형성 영역을 정의하는 제1 이온주입 마스크를 형성하는 단계;

이온주입 공정을 실시하여 상기 반도체 기판 내에 제1 도전형의 제1 불순물 영역을 형성하는 단계;

상기 제1 이온주입 마스크를 제거하는 단계;

상기 반도체 기판 상에 트랜스퍼 트랜지스터 영역을 정의하는 제2 이온주입 마스크를 형성하는 단계;

이온주입 공정을 실시하여 상기 반도체 기판 내에 제2 도전형의 제2 불순물 영역을 형성하는 단계;

상기 제2 이온주입 마스크를 제거하는 단계;

상기 반도체 기판 상에 트랜스퍼 트랜지스터의 게이트 절연막 및 게이트 전극을 형성하되, 상기 게이트 전극의 일부가 상기 제2 불순물 영역과 중첩되도록 하는 단계;

상기 제1 불순물 영역 상의 상기 반도체 기판 내에 제2 도전형의 제3 불순물 영역을 형성하는 단계; 및

상기 게이트 전극을 사이에 두고 상기 포토다이오드 영역으로부터 이격된 상기 반도체 기판 내에 제1 도전형의 플로팅 확산영역을 형성하는 단계

를 포함하는 CMOS 이미지 센서 제조 방법.

청구항 6

제 4 항 또는 제 5 항에 있어서,

상기 제2 불순물 영역과 상기 포토다이오드간의 거리는,

상기 제2 불순물 영역과 상기 플로팅 확산영역과의 거리보다 상대적으로 먼 것을 특징으로 하는 CMOS 이미지 센서 제조 방법.

청구항 7

제 6 항에 있어서,

상기 제1 도전형은 n형이고,

상기 제2 도전형은 p형인 것을 특징으로 하는 CMOS 이미지 센서 제조 방법.

청구항 8

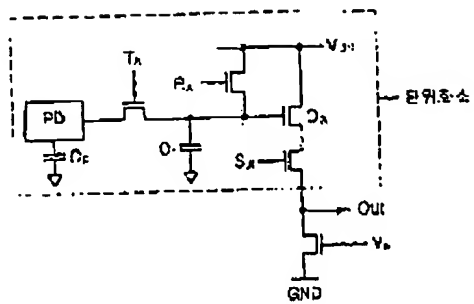
제 7 항에 있어서,

상기 제2 불순물 영역은 불소(B)를 이온주입하여 형성하는 것을 특징으로 하는 CMOS 이미지 센서 제조 방법.

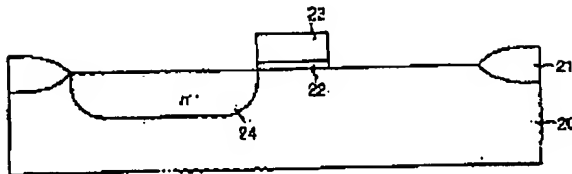
도면

특 2002-008881

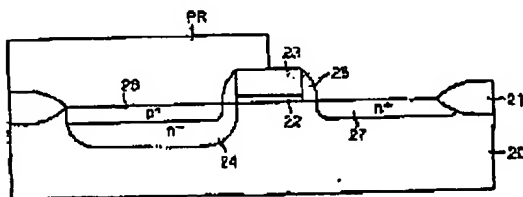
도 1



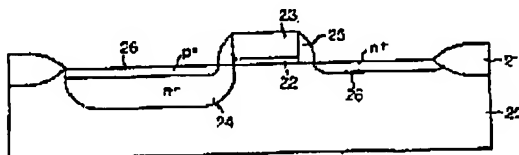
도 2a



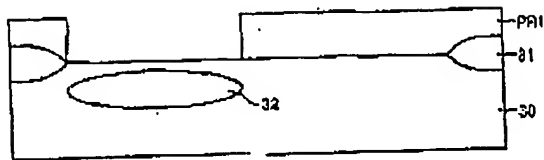
도 2b



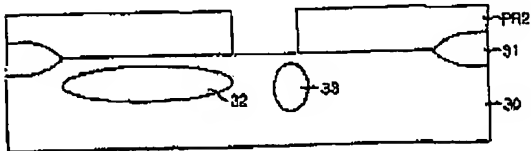
도 2c



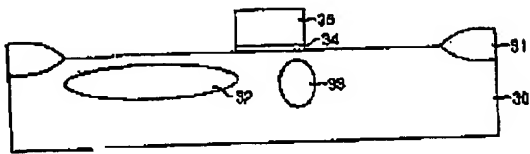
도 3a



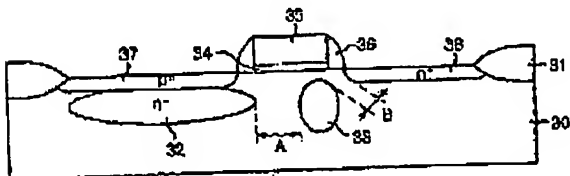
도 3b



도 3c

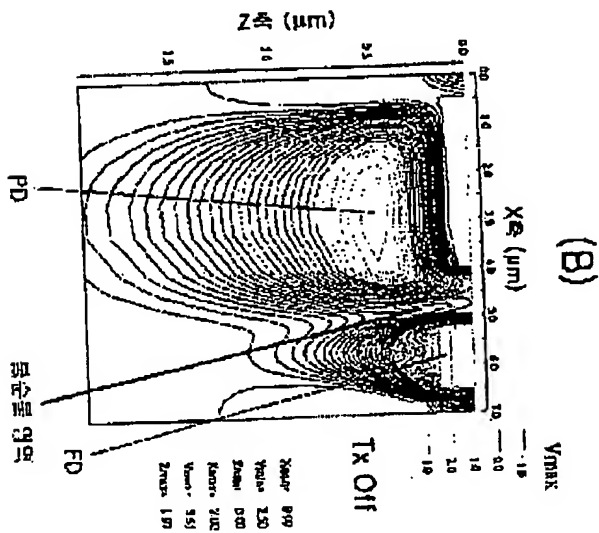
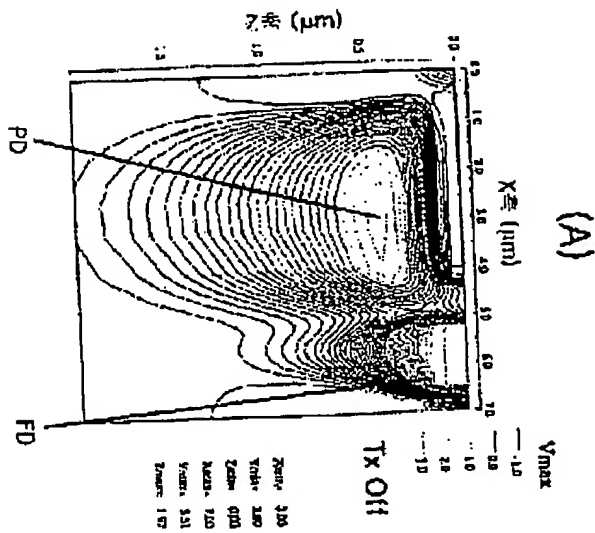


도 3d



2002-0088881

FB4



BEST AVAILABLE COPY